

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-267974

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

H01L 21/336

H01L 29/784

H01L 21/265

(21)Application number : 05-052180

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 12.03.1993

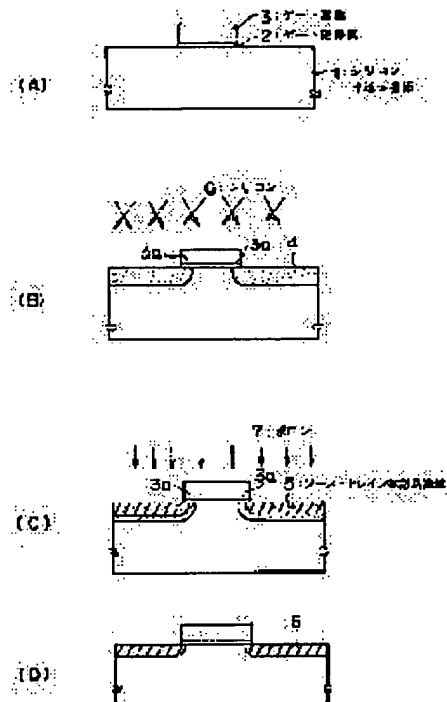
(72)Inventor : KITA AKIO

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To prevent the local deepening of a junction in the edge portion of a gate electrode by performing an ion implantation for conversion to amorphous state from a direction oblique to the vertical direction of the principal surface side of a semiconductor substrate.

CONSTITUTION: After forming a gate electrode 3 of a MOS transistor on a semiconductor substrate 1 by a patterning, with the gate electrode 3 as a mask the ion implantation of silicon 6 for conversion to amorphous state is performed at a certain angle with the vertical direction of the principal surface of the semiconductor substrate 1. Then, after a sufficient amorphous region 4 is also formed in the lower area of an edge portion 3a of the gate electrode 3, the ion implantation of boron 7 as an impurity is performed to form a sourcedrain diffusion layer 5. Consequently, the channeling can effectively prevented, and a shallow junction of the diffusion layer 5 can be formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture technique of the semiconductor device of the fine structure, especially MIS type semiconductor device.

[0002]

[Description of the Prior Art] In recent years, 16 M bit DRAM with a minimum manipulation dimension of 0.5 micrometers or less has come [a **** better potato's is in progress of high integration of semiconductor integrated circuit equipment, and] to be put in practical use. Although the development of micro-processing technique has contributed to such progress greatly of course, the highly efficient fine structure transistor is contributing more than it greatly.

[0003] In the MOS transistor, generally, the so-called scaling law is applied and highly efficient-ization has been attained. It is increased k times by the switching speed, power consumption is increased to 1/k, keeping the electric-field configuration in an element constant, when this scaling law reduces the dimension and voltage also including the depth orientation of an element by 1/k time ($k > 1$) and increases impurity concentration k times, and highly efficient-ization is attained.

[0004] Although the ideal scaling could realize in fact neither the case where supply voltage cannot be reduced, nor a work function difference, because of the physical quantity which cannot carry out a scaling, highly efficient-ization was performed by the scaling according to the status.

[0005] Although reduction of the superficial dimension of an element is realized by the micro-processing technique mainly represented by photolithography -, reduction of the depth orientation has the large place depended on diffusion technique. It is a scaling overlay important point to form a junction of a source drain diffusion layer shallowly, and various techniques are proposed.

[0006] The P type diffusion layer in the inside of a silicon substrate is especially difficult to form a shallow junction compared with N type. This is because there are no suitable elements other than boron as a P type impurity in the inside of a silicon substrate. Boron is a light element, and its range in an ion implantation is large, and it tends to cause the so-called channeling which passes through the clearance of the atom of a silicon single crystal further. Moreover, since the diffusion constant of a under [a silicon crystal] is large, it is easily spread with heat treatment.

[0007] Although it is difficult to form a shallow P type junction by such ground, the technique about some shallow junction formation is proposed. The pli amorphous method which is the example make a crystal amorphous-substance-ize in advance of the ion implantation of an impurity introduction is explained using the process cross section of drawing 2 . According to the manufacture technique of a usual MOS transistor, patterning of the gate oxide film 2 and the gate electrode 3 is first performed on the silicon semiconductor substrate 1.

(not shown) Next, as shown in drawing 2 (A), the gate electrode 3 is used as a mask, into the silicon semiconductor substrate 1, the ion implantation of the silicon 6 is carried out, and the noncrystalline field 4 is formed.

[0008] Next, as shown in drawing 2 (B), the gate electrode 3 is used as a mask, as a P type impurity, the ion implantation of the boron 7 is carried out by the low energy, and the source drain diffusion layer field 4 of shallow P+ junction is formed.

[0009] Although an explanation detailed about a next process is excluded, it carries out the recrystallization of the amorphous field 4 by annealing, and forms the MOS transistor according to the usual process henceforth.

[0010]

[Problem(s) to be Solved by the Invention] However, by the above-mentioned pli amorphous method, since-izing of the silicon of the edge partial 3a lower part of a gate electrode was not fully able to be carried out [amorphous] under the influence of the mask of the gate electrode 3, the channeling of boron was produced in this fraction and there was a fault that a junction of the source drain diffusion layer field 4 will become deep.

[0011] This invention prevents enhancement of the local junction in the edge fraction of the gate electrode described above, and aims at offering the semiconductor device formed of the shallow junction suitable for the fine structure transistor.

[0012]

[Means for Solving the Problem] The process which this invention forms the mask material which consists of a gate electrode etc. on a semiconducting-crystal substrate in shallow junction formation of a semiconductor device, and forms a mask pattern, The aforementioned mask pattern is used as a mask. in the aforementioned semiconducting-crystal substrate the same element as the aforementioned semiconducting-crystal substrate, or an inactive element The process which forms the field which carried out the

ion implantation from the orientation of slanting to the perpendicular direction by the side of the main front face of the aforementioned semiconductor substrate, and was amorphous-substance-ized to the main front-face side of the aforementioned semiconducting-crystal substrate, The process which carries out the ion implantation of the impurity from the perpendicular direction on the front face of main of the aforementioned semiconductor substrate all over the amorphous-substance-ized field which uses the aforementioned mask pattern as a mask and was formed in the main front-face side of the aforementioned semiconducting-crystal substrate, and forms a diffusion layer all over the field amorphous-substance-ized [above], annealing processing of the aforementioned semiconducting-crystal substrate is carried out, and it carries out for performing the process which carries out the recrystallization of the field amorphous-substance-ized [above]

[0013]

[Function] Since the ion implantation for amorphous-izing is performed from across, an ion implantation is fully performed also into the silicon substrate equivalent to the lower part of the edge sections, such as a gate electrode used as a mask in the case of an impurity ion implantation. Therefore, it amorphous-substance-izes until a semiconductor substrate can suppress effectively the channeling in the case of an impurity ion implantation also in this field.

[0014]

[Example] Drawing 1 (A) - (D) is the process cross section having shown the example of this invention. As first shown in drawing 1 (A), the gate oxide film 2 and the gate electrode 3 are formed on the silicon semiconductor substrate 1 according to a usual silicon-gate MOS process. Since a P channel MOS transistor is formed in this example, a substrate or a well is N type.

[0015] Next, as shown in drawing 1 (B), in order to amorphous-substance-ize the silicon semiconductor substrate 1, the ion implantation of the silicon 6 is carried out. This injection condition has the desirable direction which lessens a dose as much as possible in the domain which can carry out [amorphous]-izing of the silicon semiconductor substrate 1 from the point of crystalline recovery. In this example, by dose $1 \times 10^{14} \text{cm}^{-2}$ and about [placing energy 30keV], the angle of 30 degrees or 45 degrees is perpendicularly given to semiconductor substrate 1 front face, and an ion implantation is performed. An ion implantation is performed while the silicon 6 by which the ion implantation was carried out rotates the semiconductor substrate 1 to a gate electrode at this time so that asymmetry may not arise. By carrying out like this, also in the gate electrode edge section 3a lower part, the amorphous field 4 is fully formed, and the channeling in the impurity ion implantation in a next process is suppressed effectively.

[0016] Next, as shown in drawing 1 (C), as a P type impurity, the ion implantation of the boron 7 is carried out at a perpendicular or perpendicularly near angle to a semiconductor substrate main front face, and the P type diffusion layer 5 is formed.

Ion-implantation conditions were made into dose $1-5 \times 10^{15} \text{cm}^{-2}$ and about [energy 10keV] in this example.

[0017] Next, as shown in drawing 1 (D), in order to carry out the recrystallization of the amorphous substance, annealing is performed at the temperature of about 800 degrees. In this case, high concentration and ***** can be formed by making it low temperature in the domain which can carry out a recrystallization. The MOS transistor is formed according to the usual process after this.

[0018] In the above example, although silicon was used for the ion implantation for amorphous-izing, you may use an inactive element, for example, an argon, a krypton, etc. Moreover, it is also applicable to N+ diffusion layer formation using Lynn although big P+ diffusion layer formation of especially an effect was described. This invention can also be used for formation of a low concentration layer, being able to use a transistor as LDD structure furthermore.

[0019]

[Effect of the Invention] Since according to this invention the angle was given to the semiconductor substrate main surface perpendicular direction and the ion implantation for amorphous-izing was performed as explained to the detail above, the ion implantation for amorphous-izing is fully performed also into the semiconductor substrates of the edge lower field used as a mask in the case of impurity injection, such as a gate electrode. Since it was made to carry out the ion implantation of the impurity next, impurity ion will be poured in all over the fully amorphous-substance-ized substrate field, and a channeling is prevented effectively and that of it is possible. Consequently, since shallow junction formation of a diffusion layer is attained, a highly efficient detailed transistor can be formed.

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-267974

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/336

29/784

21/265

9054-4M

H 0 1 L 29/ 78

3 0 1 P

8617-4M

21/ 265

V

審査請求 未請求 請求項の数 1 OL (全 4 頁) 最終頁に続く

(21)出願番号

特願平5-52180

(22)出願日

平成5年(1993)3月12日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 北 明夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

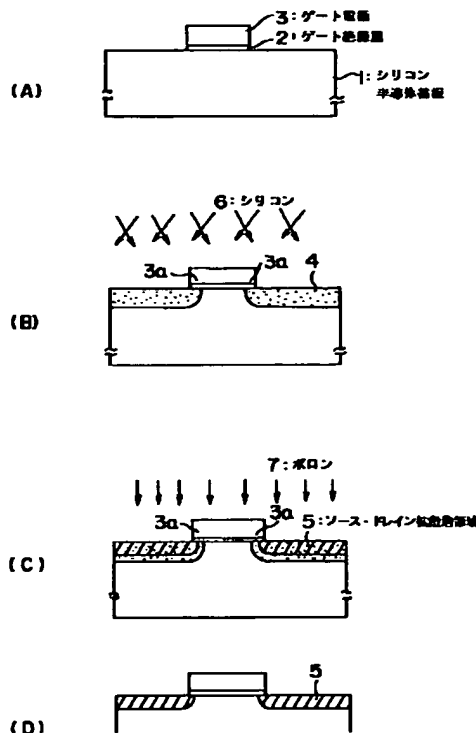
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【構成】 シリコン半導体基板1上にMOSトランジスタのゲート電極3をパターンニング形成した後に、非晶質化のためのイオン注入をこのゲート電極3をマスクとして、シリコン半導体基板1の主表面垂直方向に対して角度をもたせて行い、ゲート電極3のエッジ部3aの下部領域にも十分な非晶質領域4が形成された後に不純物をイオン注入し、ソース・ドレイン拡散層5を形成する。

【効果】 ゲート電極3のエッジ部3aの下部領域にも十分な非晶質領域4が形成されるので、チャネリングを効果的に防止でき、ソース・ドレイン拡散層の浅い接合形成が可能となるので、高性能な微細トランジスタを形成することができる。



【特許請求の範囲】

【請求項1】 a) 半導体結晶基板上にマスク材料を形成し、マスクパターンを形成する工程と、

b) 前記マスクパターンをマスクとして前記半導体結晶基板中に前記半導体結晶基板と同一な元素或いは不活性な元素を、前記半導体基板の主表面側の垂直方向に対して斜めの方向からイオン注入し、前記半導体結晶基板の主表面側に非晶質化した領域を形成する工程と、

c) 前記マスクパターンをマスクとして前記半導体結晶基板の主表面側に形成された非晶質化した領域中に不純物を、前記半導体基板の主表面の垂直方向からイオン注入し、前記非晶質化した領域中に拡散層を形成する工程と、

d) 前記半導体結晶基板をアニール処理し、前記非晶質化した領域を再結晶化する工程とを有することを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は微細構造の半導体素子、特にMIS型半導体素子の製造方法に関するものである。

【0002】

【従来技術】半導体集積回路装置の高集積化の進歩には目ざましいものがあり、近年では最小加工寸法 $0.5\mu\text{m}$ 以下の16MビットDRAMが実用化されるに至っている。このような進歩にはもちろん微細加工技術の開発が大きく寄与しているが、それ以上に、高性能な微細構造トランジスタが大きく貢献している。

【0003】MOSトランジスタでは一般に、いわゆるスケーリング則が適用され、高性能化が達成されてきている。このスケーリング則とは、素子の深さ方向をも含めた寸法と電圧を $1/k$ 倍($k>1$)に縮小し不純物濃度を k 倍にすることにより、素子中の電界形状を一定に保ったままでスイッチング速度が k 倍に、消費電力が $1/k$ になり、高性能化が達成されるというものである。

【0004】実際には、電源電圧が低減できない場合や仕事関数差などスケーリングできない物理量のため理想的なスケーリングは実現できないが、状況に応じたスケーリングにより高性能化が行われていた。

【0005】素子の平面的寸法の縮小は、主にホトリソグラフィに代表される微細加工技術により実現されるが、深さ方向の縮小は拡散技術によるところが大きい。ソース・ドレイン拡散層の接合を浅く形成することはスケーリング上重要であり、様々な技術が提案されている。

【0006】特にシリコン基板中でのP型拡散層は、N型に比べて浅い接合を形成することが困難である。これは、シリコン基板中でのP型不純物としてはボロン以外の適当な元素がないためである。ボロンは軽元素であ

単結晶の原子の間隙を通り抜けるいわゆるチャネリングを起こしやすい。またシリコン結晶中での拡散定数が大きいため、熱処理によって容易に拡散される。

【0007】この様な理由で浅いP型接合を形成するのは困難であるが、いくつかの浅い接合形成に関する技術が提案されている。その一例である、不純物導入のイオン注入に先だてて結晶を非晶質化させるアリアモルファス法について、図2の工程断面図を用いて説明する。まず通常のMOSトランジスタの製造方法に従って、シリコン半導体基板1上にゲート酸化膜2及びゲート電極3の

パターンニングを行う。
(図示せず)次に図2(A)に示すように、ゲート電極3をマスクにしてシリコン半導体基板1中にシリコン6をイオン注入して非結晶質領域4を形成する。

【0008】次に図2(B)に示すように、ゲート電極3をマスクにして、P型不純物としてボロン7を低エネルギーでイオン注入し、浅いP⁺接合のソース・ドレイン拡散層領域4を形成する。

【0009】この後の工程については詳細な説明は省くが、非晶質領域4をアニールによって再結晶化し、以降は通常のプロセスによりMOSトランジスタを形成していく。

【0010】

【発明が解決しようとする課題】しかしながら上記したアリアモルファス法では、ゲート電極3のマスクの影響によりゲート電極のエッジ部分3a下部のシリコンが十分に非晶質化できないため、この部分でボロンのチャネリングを生じ、ソース・ドレイン拡散層領域4の接合が深くなってしまうという欠点があった。

【0011】この発明は、以上述べたゲート電極のエッジ部分における局所的な接合の深化を防止し、微細構造トランジスタに適した浅い接合によって形成された半導体素子を提供することを目的とする。

【0012】

【課題を解決するための手段】この発明は半導体素子の浅い接合形成において、半導体結晶基板上にゲート電極等からなるマスク材料を形成しマスクパターンを形成する工程と、前記マスクパターンをマスクとして前記半導体結晶基板中に前記半導体結晶基板と同一な元素或いは不活性な元素を、前記半導体基板の主表面側の垂直方向に対して斜めの方向からイオン注入し、前記半導体結晶基板の主表面側に非晶質化した領域を形成する工程と、前記マスクパターンをマスクとして前記半導体結晶基板の主表面側に形成された非晶質化した領域中に不純物を前記半導体基板の主表面の垂直方向からイオン注入し、前記非晶質化した領域中に拡散層を形成する工程と、前記半導体結晶基板をアニール処理し、前記非晶質化した領域を再結晶化する工程とをを行うようにしたものである。

【作用】斜め方向から非晶質化のためのイオン注入を行うので、不純物イオン注入の際マスクとして用いられるゲート電極等のエッジ部の下部にあたるシリコン基板中にも、十分にイオン注入が行われる。そのために、この領域においても半導体基板は不純物イオン注入の際のチャネリングを効果的に抑制でき得るまで非晶質化する。

【0014】

【実施例】図1(A)～(D)は、この発明の実施例を示した工程断面図である。まず図1(A)に示すように、通常のシリコンゲートMOSプロセスによりシリコン半導体基板1上にゲート酸化膜2、ゲート電極3を形成する。この実施例ではPチャンネルMOSトランジスタを形成するので、基板あるいはウェルはN型である。

【0015】次に図1(B)に示すように、シリコン半導体基板1を非晶質化するためにシリコン6をイオン注入する。この注入条件は、シリコン半導体基板1を非晶質化できる範囲でできるだけドーズ量を少なくする方が結晶性回復の点から望ましい。この実施例ではドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 、打ち込みエネルギー30keV程度で、半導体基板1表面に対して垂直方向から30°乃至45°の角度をもたせてイオン注入を行う。このときゲート電極に対して、イオン注入されたシリコン6が非対称が生じないように、半導体基板1を回転させながらイオン注入を行う。こうすることにより、ゲート電極エッジ部3a下部においても十分に非晶質領域4が形成され、後の工程における不純物イオン注入でのチャネリングが効果的に抑制される。

【0016】次に図1(C)に示すように、P型不純物としてボロン7を半導体基板主表面に対して垂直あるいは垂直に近い角度でイオン注入してP型拡散層5を形成する。この実施例では、イオン注入条件はドーズ量 $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、エネルギー10keV程度とした。

【0017】次に図1(D)に示すように、非晶質を再結晶化させるため、800度程度の温度でアニールを行

う。この際、再結晶化できる範囲で低温にすることにより高濃度、浅接合を形成することができる。これ以降は通常のプロセスによりMOSトランジスタを形成していく。

【0018】以上の実施例では、非晶質化のためのイオン注入にシリコンを用いたが不活性な元素、例えばアルゴン、クリプトンなどを用いてもよい。また、特に効果の大きなP⁺拡散層形成について述べたが、リンを用いたN⁺拡散層形成に適用することもできる。さらにトランジスタをLDD構造として、低濃度層の形成にこの発明を用いることもできる。

【0019】

【発明の効果】以上詳細に説明したように、この発明によれば、非晶質化のためのイオン注入を半導体基板主表面垂直方向に対して角度をもたせて行ったので、ゲート電極等の不純物注入の際マスクとして用いられるエッジ下部領域の半導体基板中にも非晶質化のためのイオン注入が十分に行われる。この後に不純物をイオン注入するようにしたので、不純物イオンは十分に非晶質化した基板領域中に注入されることになり、チャネリングを効果的に防止し得る。その結果、拡散層の浅い接合形成が可能となるので、高性能な微細トランジスタを形成することができる。

【図面の簡単な説明】

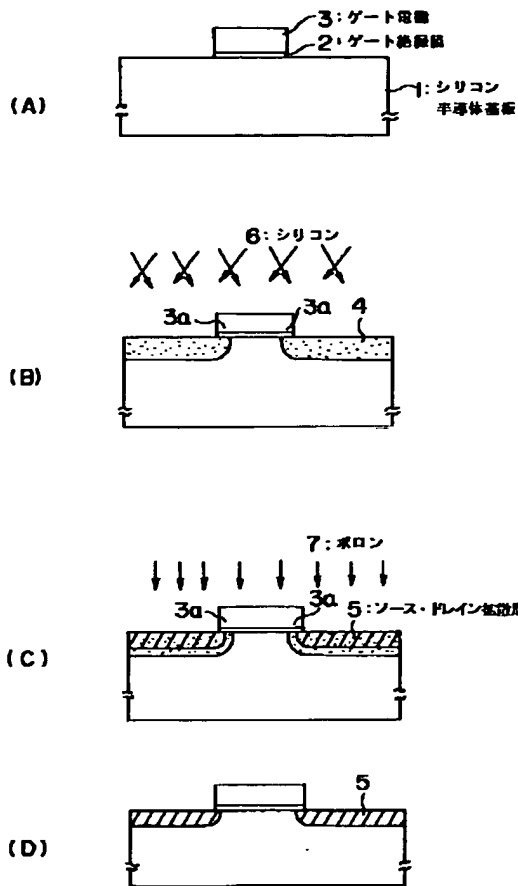
【図1】この発明の実施例を示した工程断面図である。

【図2】従来のアリアモルフォス法を説明した工程断面図である。

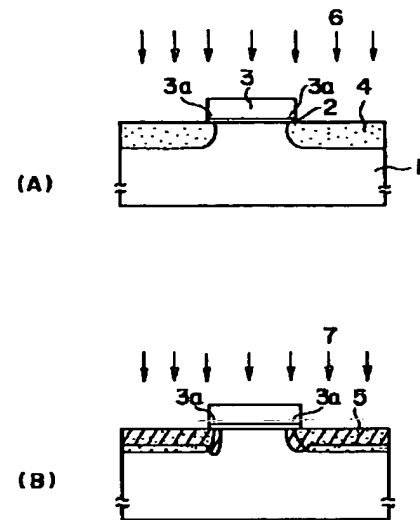
【符号の説明】

- 1 シリコン半導体基板
- 2 ゲート絶縁膜
- 3 ゲート電極
- 3a ゲート電極エッジ部
- 4 非結晶質領域
- 5 ソース・ドレイン拡散層領域

【図1】



【図2】



フロントページの続き

(51)Int.Cl.⁵

識別記号

庁内整理番号

8617-4M

F I

H 0 1 L 21/265

技術表示箇所

A